

CLIPPEDIMAGE= JP406104680A

PAT-NO: JP406104680A

DOCUMENT-IDENTIFIER: JP 06104680 A

TITLE: SURFACE ACOUSTIC WAVE ELEMENT

PUBN-DATE: April 15, 1994

INVENTOR-INFORMATION:

NAME

TANAKA, HISASHI

ASSIGNEE-INFORMATION:

NAME

CLARION CO LTD

COUNTRY

N/A

APPL-NO: JP04278096

APPL-DATE: September 21, 1992

INT-CL (IPC): H03H009/145;H03H009/72

US-CL-CURRENT: 310/313R

ABSTRACT:

PURPOSE: To obtain the surface acoustic wave element in which a ZnO film with high quality is formed even on an IDT lower electrode and to obtain the surface acoustic wave element optimum to a surface acoustic wave convolver or the like with a high K^2 and high input efficiency by forming the element with a silicon substrate having a low resistance layer and an interdigital electrode (IDT) or the like placed to a position corresponding to the low resistance layer on the surface of a zinc oxide layer.

CONSTITUTION: An oxide film 3 is formed on the surface of an n -type Si substrate 2 with thermal oxidation and a resist pattern 9 of an IDT lower electrode is formed on the oxide film 3. Then Phosphorus ions are injected by ion implantation. Then the resist pattern 9 is removed, after anneal processing, the oxide film 3 is removed. Thus, an

n<SP>+</SP> layer of
a low resistance is formed in the n-epitaxial Si layer of the
substrate 2 to
form the lower electrode. Then the thermal oxidation film is
formed by
applying thermal oxidation to the wafer. The very smooth surface
is obtained
in this stage. Then the oxide film on the rear side of the wafer
is removed to
form a substrate electrode 1. Then the ZnO layer 5 is deposited
onto the
substrate 2.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-104680

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 9/145 9/72	C	7259-5 J 7259-5 J		

審査請求 未請求 請求項の数4(全 3 頁)

(21)出願番号 特願平4-278096

(22)出願日 平成4年(1992)9月21日

(71)出願人 000001487

クラリオン株式会社

東京都文京区白山5丁目35番2号

(72)発明者 田中 久志

東京都文京区白山5丁目35番2号 クラリ

オン株式会社内

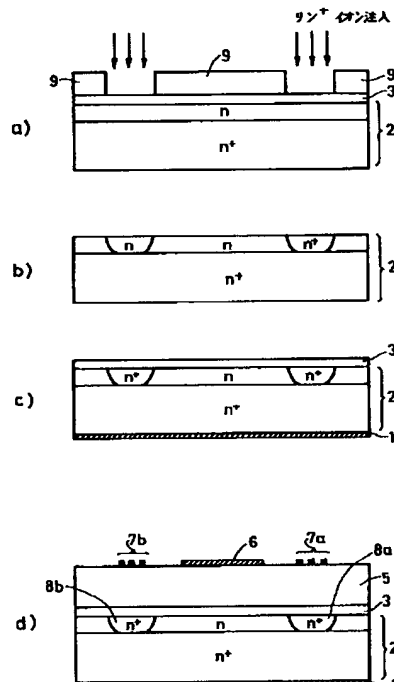
(74)代理人 弁理士 永田 武三郎

(54)【発明の名称】 表面弾性波素子

(57)【要約】

【目的】 SAWコンボルバ等の表面弾性波素子において、IDT下部電極上でも良質のZnO膜を形成して k^2 が大きく、入力効率を高めることである。

【構成】 基板電極1、 n/n^+ エピタキシャルSi基板2、 SiO_2 膜3、ZnO膜層5、IDT7a、7b、出力電極6からSAWコンボルバが構成されている。IDT下部電極として n^+ の高濃度不純物拡散層から成る低抵抗層8a、8bが基板2の n エピタキシャルSi層に形成されている。



【特許請求の範囲】

【請求項1】 表面の所定位置に形成された低抵抗層を有しているシリコン基板と、

上記シリコン基板上に形成された二酸化シリコン膜層と、

上記二酸化シリコン膜上に形成された酸化亜鉛膜層と、上記酸化亜鉛膜層表面の前記低抵抗層に対応する位置に設けられたくし型電極と、

から成ることを特徴とする表面弾性波素子。

【請求項2】 前記低抵抗層が高濃度不純物拡散層から成ることを特徴とする請求項1に記載の表面弾性波素子。

【請求項3】 前記シリコン基板が n/n^+ Siエピタキシャル基板であり、そのSiエピタキシャル層中に前記高濃度不純物拡散層が形成されていることを特徴とする請求項2に記載の表面弾性波素子。

【請求項4】 前記抵抗層及びくし型電極が1対設けられ、その間の前記酸化亜鉛膜層表面に出力電極を設けたことを特徴とする請求項1に記載の表面弾性波素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は表面弾性波素子に係り、特に半導体基板上の圧電薄膜を利用した表面弾性波(SAW)コンボルバ等に好適な素子において、半導体基板表面の、入力くし型電極(以下IDTと記す)に対向した部分に下部電極を設けた構成の改良に関する。

【0002】

【従来の技術】ZnO/SiO₂/Si構造を有する従来のSAWコンボルバの断面図を図2に示す。同図で、1は基板電極、2は n/n^+ Siエピタキシャル基板、3はSi熱酸化膜、5はZnO膜層、6は出力電極、7a、7bはIDT、4は金属薄膜層から成るIDT下部電極である。このIDT下部電極4は、次の2つの目的を以て設けられている。

(i) IDT7a、7bに印加された入力信号の一部が基板2の n -Si層に漏れるのを、このIDT下部電極4でシールドすることによって防ぐ。これにより、結果的に出力電極6からの出力の雑音を低減できる。

(ii) このIDT下部電極4の導入によりSAWコンボルバの電気機械結合定数 k^2 が理論的に大きくなり、コンボルバの入力効率を高めることができる。このIDT下部電極4としては、数十ないし数百nmの膜厚の金属膜、例えばSiO₂との密着性の良いAl薄膜等が多く使われている。

【0003】

【発明が解決しようとする課題】しかしながら、このような構成のコンボルバを実際に作ろうとすると、ZnO膜層5を、例えばスパッタ法で形成する際に、IDT下部電極4の表面がSiO₂表面のような平滑な面になっていないため、IDT下部電極4の上はZnO膜層5の

成長に伴いヒロックが多数発生し、結果的に、IDT7a、7bの下ZnO膜層5の結晶性が悪く大きな k^2 が得られないという問題があった。

【0004】本発明の目的は、IDT下部電極上でも、ヒロックの少ない良質のZnO膜を得ることにより、 k^2 が大きく入力効率の高いSAWコンボルバ等に好適な表面弾性波素子を得ることにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明の表面弾性波は、表面の所定位置に形成された低抵抗層を有しているシリコン基板と、上記シリコン基板上に形成された二酸化シリコン膜層と、上記二酸化シリコン膜上に形成された酸化亜鉛膜層と、上記酸化亜鉛膜層表面の前記低抵抗層に対応する位置に設けられたくし型電極(IDT)と、から成ることを要旨とする。

【0006】

【作用】シリコン基板内にIDT下部電極としての低抵抗層を有しているため、この部分は平滑性が良く、その上に良好な膜質の酸化亜鉛膜を形成できる。

【0007】

【実施例】以下図面を参照して本発明の実施例を説明する。図1は本発明の一実施例の表面弾性波素子としてのSAWコンボルバ(d)とその製造工程(a~d)を示す。同図において図2と同一符号は同一または類似の部分を示し、8a、8bは高濃度不純物拡散層、9はフォトリソパターンである。

【0008】まず、図1(a)に示すように n/n^+ エピタキシャルSi基板2の表面に熱酸化により、例えば50nmの厚さの酸化膜3を形成し、フォトリソ工程によりIDT下部電極のレジストパターン9をこの酸化膜3上に形成する。次にイオン注入によりPhos⁺を例えば加速電圧180keVで $2 \times 10^{15} \text{cm}^{-2}$ 注入する。

【0009】次に、図1(b)に示すようにレジストパターン9を除去し、アニール処理をした後、酸化膜3を全て除去する。これにより基板2の n エピタキシャルSi層中に低抵抗の n^+ 層を形成して下部電極として構成する。

【0010】次に、図1(c)の如く、図1(b)のウエハを熱酸化し、表面に例えば100nmの厚さの熱酸化膜3'を形成する。この段階で非常に平滑な表面が得られている。そして、ウエハ裏面の酸化膜を除去し、基板電極1を形成する。

【0011】次に、図1(d)のようにこの基板上にZnO膜層5を、例えばスパッタ法で $\sim 5 \mu\text{m}$ の厚さに堆積する。その後、表面の入出力電極6、7a、7bを形成する。

【0012】なお、ここでは一例としてIDT下部電極を n^+ -Si層にした場合について述べたが、例えば、B⁺等を拡散して p^+ -Si層とすることもでき、高濃度不純物拡散層から成る低抵抗層のIDT下部電極を設け

ればよい。

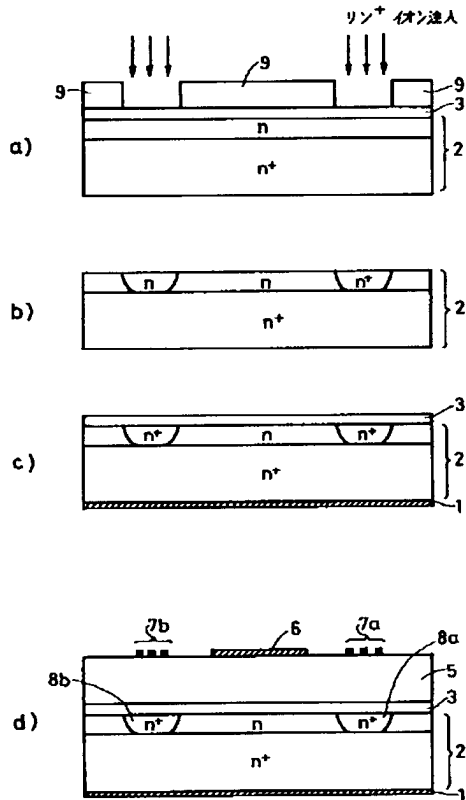
【0013】このようにしてIDT下部電極としてSiエピタキシャル層n中に高濃度不純物拡散層を設けたために、ZnO膜層5形成前の基板表面の平滑性が著しく向上し、これによりIDT下部電極上でも他の領域と変わらない良好な膜質のZnO膜層が形成できるようになり、IDT部の k^2 も大きくなりコンボルバの入力効率が向上した。

【0014】

【発明の効果】以上説明したように本発明によれば、IDT下部電極上でも良質のZnO膜を形成でき、 k^2 が大きく、入力効率の高い表面弾性波素子を得ることができる。

【図面の簡単な説明】

【図1】



【図1】本発明によるSAWコンボルバの一実施例とその製造工程を示す概略図である。

【図2】従来のSAWコンボルバを示す概略図である。

【符号の説明】

- 1 基板電極
- 2 n/n⁺Siエピタキシャル基板
- 3 Si酸化膜
- 4 IDT下部電極(金属薄膜層)
- 5 ZnO膜層
- 6 出力電極
- 7 入力電極
- 8 IDT下部電極(高濃度不純物拡散層)
- 9 フォトリソグランドパターン

【図2】

